

beatrix/bertram SoC [FACT SHEET]

Kompakte Echtzeit-PWM Prozessorlösungen für (kleine) FPGAs

Das beatrix wie auch bertram System on Chip (SoC) Design gehört zur Familie der cCAP (Configureable-Custom Application Processor). Diese zeichnet sich durch hohe Konfigurierbarkeit wie auch geringen Ressourcenbedarf auf FPGA-Bausteinen aus. Unabhängig von der eingesetzten FPGA-Technologie können Peripheriegeräte und IP-Cores von Registeradressen bis Anzahl der Peripherie-Instanzen wie z.B. UARTs oder SPI-Interfaces beliebig auf spezielle Anwendungen zugeschnitten werden.

Die cCAP-Familie wurde speziell entwickelt, um speziellen Anforderungen an beweisbarer, robuster Funktionalität gerecht zu werden, wie auch Anwendungsprogrammierern die Nutzung von FPGA-Technologien zu erleichtern. Die kompakte Befehlsstruktur der Kernarchitektur ermöglicht höchst platzsparende Programme wie auch kundenspezifische Mikrocode-Erweiterungen mit DSP-Befehlen.

Damit ist der b*-SoC ein idealer Konfigurationsprozessor für komplexere Hardware. Über den Wishbone-Bus kann entsprechend kompatible Nutzerperipherie angebunden werden.

1 Funktionsübersicht 'beatrix'/'bertram'

- 32 Bit-Processor 'ZPUng' v1.1, dreistufige Pipeline
- Wishbone-Bus für Adress-Decoder und Peripherie
- Timer/PWM, LCD Interface (nur 'beatrix')
- Programmierbar in C (GCC)
- Hardware-Debugger (JTAG), GDB

Technische Daten der Standardkonfiguration siehe Tabelle 1.

Die Firmware (Software) in Form eines bare-metal-Systems wird typischerweise vom Nutzer mit Unterstützung einer einfachen BSP 'board supply package' Bibliothek entwickelt. Diese schliesst die Treiber für die eingebaute Peripherie mit ein und ist im Source-Code verfügbar.

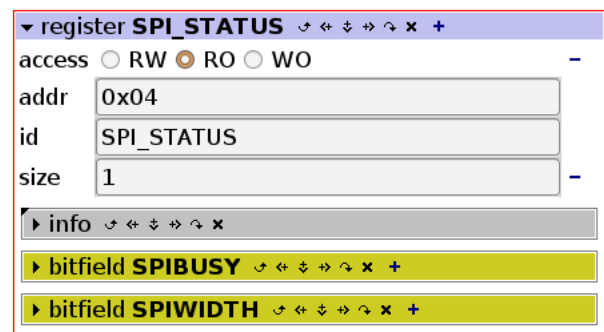


Fig. 1: SPI Register-Beschreibung

2 Simulation

Der komplette SoC kann mit der Anwendung unter realen Szenarien in einer virtuellen Maschine co-simuliert werden. Vorteile:

- zyklengenaue Verifikation der korrekten Funktion
- Effiziente visuelle Fehlersuche in Wellenformen (Abb. 2), optionales on-chip Trace Debugging

3 Beispielanwendungen

- Konfigurationsprozessor für Video-Pipeline
- Intelligentes UART→LCD-Display
- synchrone Multi-Channel SmartLED-PWM-Ansteuerung
- Rechenbeschleuniger
- Redundante Systeme (Multi-Core)

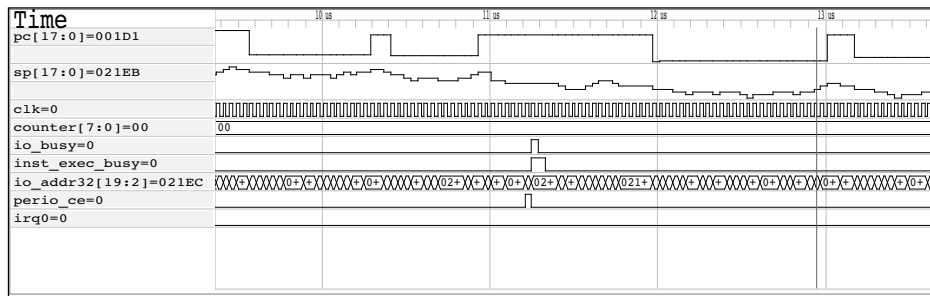
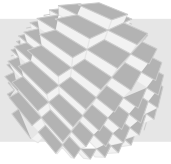


Fig. 2: Visualisierung Wellenform

Technische Daten		
<i>Speicher</i>		
ROM	64kB	Programmspeicher, nur Lesen
L1RAM	8kB	Programm und Daten-Segment
L1CACHE	8kB	Mixed Programm/Daten, oder ROM-Cache
SRAM	1kB	Stack memory (fix)
<i>Peripherie</i>		
SCACHE	1	SPI flash cache für ausgelagerte Programme
SIC	1	System Interrupt Controller mit 4-Peripherie-Kanälen, priorisierbar
UART	1	UART-Console (multiplexed)
GPIO	2x16	Generische I/O
SYSEXT	1	System-Erweiterungen: CRC-Beschleuniger
<i>beatrrix spezifisch</i>		
PWM	3	Einfache PWM und Timer (Systemtimer)
LCDIO	1	LCD Interface
<i>bertram spezifisch</i>		
PWMPLUS	3	PWMPlus IP core für zyklengenaue Echtzeitsteuerungen, interruptfähiger Systemtimer (TIMER0)

Tab. 1: beatrrix/bertram Standardkonfiguration

4 Referenz-Plattformen

Die b*-SoC-Reihe ist für folgende Referenzplattformen verfügbar:

- Papilio One Eval board
- MACHXO2/3 Breakout Starter Kit

Portierungen auf weitere Plattformen sind auf Anfrage möglich.

Der (ungefähre) Ressourcenbedarf ist den nebenstehenden Tabellen zu entnehmen.

Xilinx xc3s250e	
SLICE	2446 (99%)
Slice FF	1854 (37%)
LUT4	4159 (inkl. Distributed RAM) (85%)
RAMB16	12 (100%)

Tab. 2: Resource usage Spartan3

Lattice MachXO2 7000	
SLICE Logic	1197 (35%)
Registers	1772 (25%)
LUT4	2376 (35%)
EBR	20 (77%)

Tab. 3: Resource usage MachXO2

Lattice MachXO3 6900	
SLICE Logic	1289 (35%)
Registers	1772 (26%)
LUT4	2561 (35%)
EBR	20 (77%)

Tab. 4: Resource usage MachXO3

5 Weiterführende Informationen

Web-Übersicht zur cCAP-Familie

<http://section5.ch/index.php/dienstleistungen/custom-cpu-solutions/>

Hardware-Referenz soc-beatrix.pdf, soc-bertram.pdf

Auf Anfrage